

KOREAN PATENT ABSTRACT (KR)

Patent Publication Gazette

(51) IPC Code: H01L 29/78

(45) Publication Date: 15 January 2001

(11) Registration No.: 10-0273340

(24) Registration Date: 02 September 2000

(21) Application No.: 10-1993-0016937

(22) Application Date: 28 August 1993

(65) Laid-Open No.: P1995-0007154

(43) Laid-Open Date: 21 March 1995

(73) Patentee:

LG Electronics Co. Ltd., KOO, JA HONG
20 Yeuido-dong, Yeongdeungpo-ku, Seoul

(72) Inventor:

HUH, CHANG U

(54) Title of the Invention:

Vertical thin film transistor and method of manufacturing the same

Abstract:

Provided is a vertical thin film transistor. A gate electrode and an insulating layer are formed vertically. A source electrode and a drain electrode are located at upper and lower parts of the gate electrode, respectively, in such a way to be spaced a short distance of several thousands Å apart from each other. An optic-electric conversion layer is formed between the source electrode and the drain electrode. When a voltage is applied to the gate electrode, a vertical channel is formed. At this time, when a voltage is applied between the source electrode and the drain electrode, a vertically formed channel charge flows vertically by a source/drain bias. Therefore, a current response speed and a current driving capability can be enhanced. In addition, the vertical thin film transistor is easy to manufacture and exhibits good stability and reproducibility.

10-0273340

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. H01L 29/78	(45) 공고일자 2001년01월15일
(21) 출원번호 10-1993-0016937	(65) 공개번호 특1995-0007154
(22) 출원일자 1993년08월28일	(43) 공개일자 1995년03월21일
(73) 특허권자 엘지전자주식회사 구자홍	
(72) 발명자 허창우	서울특별시 영등포구 여의도동 20번지
(74) 대리인 박장원	서울특별시 성동구 행당1동 130-99-87

설사표 : 일등우(54) 수직형 박막 트랜지스터 및 그 제조방법

요약

본 발명의 수직형 박막 트랜지스터는 게이트 전극과 절연층을 수직으로 형성하고, 소오스/드레인 전극을 수천 A의 절은 간격으로 상하로 형성하며, 상기 소오스 전극과 드레인 전극 사이에 광전변환층을 형성함으로써, 게이트에 전압이 인가되면 수직형 채널이 열리게 되고, 이때 소오스와 드레인 양단 사이에 전압이 인가되면 수직으로 형성된 채널 전하가 소오스/드레인 바이어스에 의해 수직으로 흐르게 되기 때문에 전류의 응답속도 및 전류구동 능력을 향상시킬뿐만 아니라 제조가 용이하여 안정성 및 재현성이 뛰어나다.

내포도

도1

양세사

[발명의 명칭]

수직형 박막 트랜지스터 및 그 제조방법

[도면의 간단한 설명]

제1도는 증례의 기술에 의한 박막 트랜지스터의 단면도.

제2도는 제1도의 동작을 설명하기 위한 단면도.

제3도는 제1도의 소오스-드레인간의 전압-전류 변화를 나타내는 그래프.

제4도는 본 발명에 의한 비정질 실리콘 박막 트랜지스터의 단면도.

제5(a)도 내지 제5(c)도는 제4도의 공정순서도.

* 도면의 주요부분에 대한 부호의 설명

100 : 유리기판	11 : 드레인
17 : 게이트	25 : 소오스
15, 19 : 절연막	21 : 광전변환층
13, 23 : 오의 접촉층	

[발명의 상세한 설명]

본 발명은 박막 트랜지스터 및 그 제조방법에 관한 것으로, 특히 전기적 특성을 향상시킬 수 있는 수직형 박막 트랜지스터 및 그 제조방법에 관한 것이다.

증례의 박막 트랜지스터(이하 TFT(Thin Film Transistor)라 한다)를 첨부된 도면을 참조하여 설명하면 다음과 같다.

제1도는 증례의 TFT의 구조를 나타내는 단면도이고, 제2도는 제1도와 같이 구성된 TFT의 동작을 설명하기 위한 단면도이며, 제3도는 제1도의 게이트 전압에 따른 소오스/드레인(source/drain)간의 전압-전류 변화를 나타낸 그래프(graph)이다.

증래의 TFT 제조방법은 제1도에서와 같이 먼저 유리기판(1)위에 게이트전극(2)을 형성하는 공정, 상기 게이트전극(1) 전면에 전극(1)을 절연시키기 위한 절연물질을 증착시켜 절연막(2)을 형성하는 공정, 상기 게이트 절연막(3)위에 전성 비정질실리콘(4)층을 형성하는 공정, 상기 전성 비정질실리콘(4)위에 소정의 두께로 금속을 증착시킨후 패터닝(patterning)하여 소오스 전극(6)을 형성하는 공정, 상기 소오스 전극(6)를 마스크(mask)로, 소오스 전극(6) 하부 이외의 영역에 증착되어 있는 n^+ 비정질 실리콘(5)을 식각하는 공정, 상기 식각공정후 결과를 전면에 전성비정질실리콘을 증착시켜 활성층(4a)을 형성하는 공정, 상기 활성층(4a) 위에 비정류성 접촉을 위한 N^+ 비정질실리콘(?)을 형성하는 공정 및 상기 N^+ 비정질실리콘(?)위에 도전율질을 증착시켜 드레인전극(8)을 형성하는 공정으로 진행된다.

상기와 같은 방법으로 제조된 증래의 수직형 TFT는 제1도와 같이 게이트전극(2)이 하단에 형성되어 있고, 소오스 전극(6) 및 드레인전극(8)이 상기 게이트전극(2)보다 상단에 형성되어 있다.

제2도를 참조하여 상기 구조의 수직형 TFT의 동작을 살펴보면, 상기 소오스 전극(6)의 평면은 쇼트키 혼택(schottky contact)의 특성을 가지며, 하부면은 n^+ 비정질 실리콘(5)과 접촉되며 오믹콘택(ohmic contact) 특성을 가지므로, 게이트전극(2)에 전압을 인가하면 전계에 의해 상기 소오스 전극(6)의 하단 전성 비정질실리콘층에 채널이 형성되어, 소오스 전극(6)의 하단에서 전류는 상단의 드레인전극(8)으로 흐르게 된다.

따라서 게이트전극(2)에 인가되는 전압에 따라 소오스/드레인에 흐르는 전류는 제3도와 같이, 게이트전극(2)에 인가되는 전압이 높아질수록 증가하게 되고, 소오스/드레인간의 전압이 높아질수록 소오스/드레인간에 흐르는 전류도 증가하게 된다.

그러나 이와같은 증래의 수직형 TFT는 게이트전극(2)에 전압을 인가하지 않은 상태(zero bias)에서도 드레인과 소오스간에 누설전류(leakage current)가 흐르고, 활성층을 형성하는 전성 비정질실리콘(3)를 여러번에 걸쳐 증착하는 등 제조공정이 매우 복잡하여 제조시간이 길어지며, 소오스/게이트, 소오스/드레인 사이에 큰 기생용량이 형성되는 문제점들이 있다.

따라서 본 발명의 목적은 상기와 같은 문제점을 해결하여 전기적으로 우수한 특성을 갖는 수직형 박막 트랜지스터를 제공하는 것이다.

본 발명의 다른 목적은, 전기적으로 우수한 특성을 갖는 수직형 박막 트랜지스터를 효과적으로 제조하기 위한 제조방법을 제공하는 것이다.

상기 목적을 달성하기 위한 수직형 박막 트랜지스터는, 게이트 전극과 절연층이 수직으로 형성되고, 소오스/드레인 전극을 상,하로 형성하는 것을 특징으로 한다.

미하, 첨부도면을 참조하여 본 발명을 좀더 상세하게 설명하고자 한다.

제4도는 본 발명에 따른 수직형 비정질 실리콘 박막 트랜지스터의 단면도이다.

제4도를 참조하면, 유리기판(100)위에 제1금속전극(11)과, 제1오믹접촉층(13)이 드레인 전극 패턴을 이루고 있고, 오믹접촉층(13)위에 다시 소정의 동일한 패턴마스크가 적용된 광전변환층(21), 제2오믹접촉층(23) 및 제2금속전극(25)이 형성되어 있으며, 상기 제1오믹접촉층(13) 양단에는 제1 및 제2 절연막(15, 19)으로 둘러싸인 게이트전극(17)이 형성되어 있다.

상기와 같은 구조를 갖는 수직형 비정질 실리콘 박막 트랜지스터의 제조방법을 제5(a)도 내지 제5(c)도를 참조하여 설명하면 다음과 같다.

먼저 제5(a)도를 참조하면, 유리기판(100)위에 소정의 두께로 제1금속전극층(11)을 형성하는 공정, 상기 금속전극층(11)위에, 도전율질로서 예를들면 n^+ -SiH를 증착시켜 제1오믹접촉층(13)을 형성하는 공정 및 상기 제1오믹접촉층(13)위에 제1식각 마스크를 형성하고 이것을 적용하여 상기 제1오믹접촉층(13) 및 금속전극층(11)을 식각함으로써 드레인 패턴을 형성하는 공정으로 진행된다.

제5(b)도를 참조하면, 드레인 패턴 형성후 결과를 전면에 절연물질로서 예를들면 실리콘 나이트라이드를 도포하여 제1절연막(15)을 형성하는 공정, 상기 제1절연막(15)위에 제2금속전극층을 형성하는 공정, 상기 제2금속전극층 위에 제2식각 마스크를 형성하고, 이것을 적용하여 상기 제2금속전극층 및 제1절연막(15)을 식각하여 식각된 제2금속전극층으로 게이트전극(17)을 형성하는 공정 및 상기 식각공정 후 결과를 전면에 절연물질을 도포하여 제2절연막(19)을 형성한 후 거친적으로 식각하여 상기 제1오믹접촉층(13)의 소정영역을 노출시켜 접촉부를 형성하는 공정으로 진행된다.

제5(c)도를 참조하면, 상기 접촉부 형성후 결과를 전면에 비정질실리콘을 소정의 두께로 도포하여 광전변환층(21)을 형성하는 공정, 상기 광전변환층(21) 위에 n^+ -SiH로 제2오믹접촉층(23)을 형성하는 공정, 상기 제2오믹접촉층(23)위에 제3금속전극층을 형성하는 공정 및 상기 제3금속전극층, 제2오믹접촉층(23)과 상기 광전변환층(21)을 동일 마스크를 적용하여 식각하여 식각된 제3금속전극층으로 소오스(25)를 형성하는 공정으로 진행된다.

상기와 같은 제조방법에 의해 형성된 수직형 비정질 실리콘 박막 트랜지스터는 상기 게이트 전압을 인가하면 상기 비정질실리콘층 내의 전하가 게이트 바이어스에 의하여 게이트 절연막에 모여 채널(channel)을 형성하게 된다. 즉 수직형 채널이 멀리게 되고 이때 소오스와 드레인 양단 사이에 전압이 인가되면 수직으로 형성된 채널 전하가 소오스/드레인 바이어스에 의해 수직으로 흐르게 되는 것이다. 여기서 소오스와 드레인 사이의 간격은 비정질 실리콘 두께와 같으며 수천 A 정도로 매우 짧다.

따라서, 본 발명의 수직형 비정질 실리콘 박막 트랜지스터는 전류의 흐름이 매우 짧은 거리에서 이루어지므로 전류 응답 속도를 향상시킬 수 있고, 또한 채널 거리가 매우 짧기 때문에 소오스/드레인 바이어스의 영향에 의한 전장이 매우 커서 많은 양의 전류가 흐르게 되어 전류 구동 능력을 향상시킬 수 있으며 제조가 용이하여 안정성 및 재현성이 뛰어나다.

(5) 청구의 범위

청구항 1

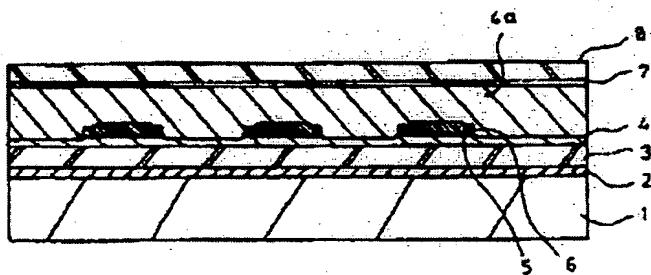
기판의 소정영역에 순차적으로 제1금속전극, 제1오믹접촉층, 광전변환층, 제2오믹접촉층 및 제2금속전극이 적층되고, 상기 제1오믹접촉층에, 일면을 제외한 모든 부분이 절연층으로 둘러싸인 게이트전극이 각각 형성된 것을 특징으로 하는 수직형 박막트랜지스터.

청구항 2

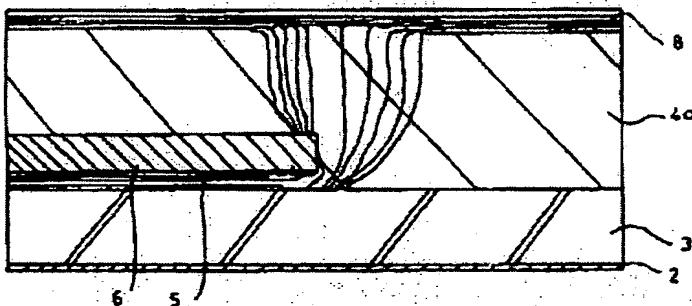
기판의 소정영역에 제1전극 패턴을 형성하는 공정, 상기 제1전극패턴 형성 후 결과를 전면에 제1절연막, 제2전극층을 순차적으로 적층시키는 공정, 상기 제1절연막 및 제2전극층을 적각하여 제2전극패턴을 형성하는 공정, 상기 제2전극패턴 형성 후 결과를 전면에 제2절연막을 형성하고 소정부분을 선택적으로 적각하여 상기 제1전극패턴의 상부영역을 노출시킴으로써 접촉부를 형성하는 공정 및 상기 접촉부와 연결하는 비정질 실리콘 패턴과 그 상부의 제3전극 패턴을 형성하는 공정을 구비하여 이루어지는 것을 특징으로 하는 수직형 박막 트랜지스터의 제조방법.

도면

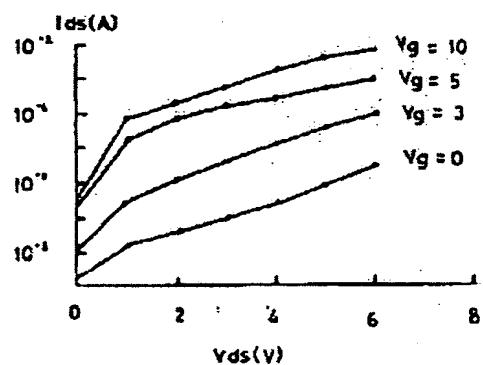
도면1



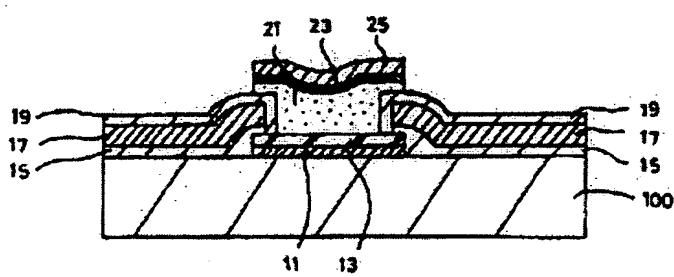
도면2



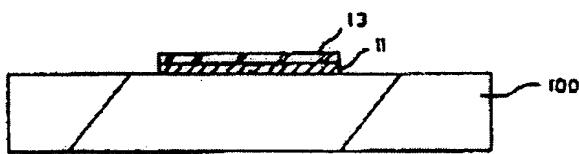
5-23



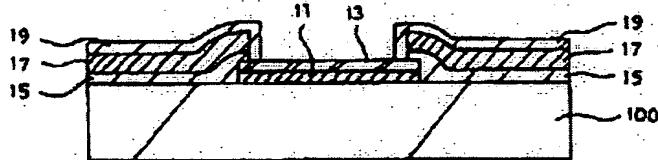
5-24



5-25a



5-25b



~~SECRET~~